

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-074977

(43)Date of publication of application : 10.03.1992

(51)Int.CI.

G01R 31/28

H01L 21/66

H01L 27/04

(21)Application number : 02-187755

(71)Applicant : NEC CORP

(22)Date of filing : 16.07.1990

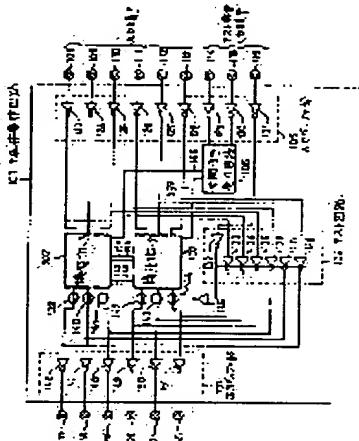
(72)Inventor : IMAMURA HIROHISA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To shorten a testing time by providing with the first circuit opening and closing measure breaking a connection between a function block and an output buffer, and the second circuit opening and closing measure operating complementarily with the first circuit opening and closing measure between an input buffer and the output buffer.

CONSTITUTION: A semiconductor integrated circuit 101 consists of a function blocks 102 and 103, a test circuit 104, etc. A test signal input terminal 116 is made '1' in the test execution time of an input buffer element 106 and an output buffer element 107. Transfer gates 139 to 144 are made 'OFF' and clocked inverters 133 to 138 within the test circuit 104 are made 'ON' by inverters 132 and 145 at this time. Therefore, the outputs of the function blocks 102 and 103 are not transmitted to an output buffer element 107 and signals input from input terminals 108 to 113 are transmitted to the output buffer element 107 through the input buffer element 106 and the clocked inverters 133 to 138 within the test circuit 104.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

BEST AVAILABLE COPY

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁 (JP) ⑩特許出願公開
⑪公開特許公報 (A) 平4-74977

⑤Int.Cl.
G 01 R 31/28
H 01 L 21/66
27/04

識別記号 庁内整理番号

Z T 7013-4M
7514-4M
6912-2G

④公開 平成4年(1992)3月10日

G 01 R 31/28
審査請求 未請求 請求項の数 1 (全10頁) V

②発明の名称 半導体集積回路

③特 願 平2-187755
④出 願 平2(1990)7月16日

⑤発明者 今村 浩久 東京都港区芝5丁目7番1号 日本電気株式会社内

⑥出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑦代理人 弁理士 尾身 祐助

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

所望の機能を有する機能ブロックと、
該機能ブロックの前段に接続される入力バッファと、
前記機能ブロックの後段に接続される出力バッファと、
前記機能ブロックと前記出力バッファとの間を
遮断するために两者間に接続された第1の回路開閉手段と、
前記入力バッファを前記出力バッファと接続する
ために两者間に接続された、前記第1の回路開
閉手段とは相補的に動作する第2の回路開閉手段と、
を具備する半導体集積回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、複数の機能ブロックにより構成される半導体集積回路に関し、特に、LSIテスターによる入、出力バッファの電気的特性のテストを容易に行なうようになされた半導体集積回路に関する。

[従来の技術]

一方で製品の部品数を減らして製品の軽薄短小化を進めたいとする半導体集積回路のユーザー側の強い要求があり、他方でこの要求に応えうる最近の集積化技術の著しい発達があって、近年、従来複数の半導体集積回路で構成されていた部品を1個の半導体集積回路で実現させる傾向が強まっている。

従来、この種の集積回路の開発方法としては今まで蓄積してきた資産を有効に生かしつつ開発期間を短縮させるために、既に開発された固有の機能を有するレイアウトブロックを流用して同一チップ上に機能ブロックとして搭載し、各々の機能

機能ブロックを配線パターンで接続する方法をとっている。すなわち、第7図に示すように、固有の機能を有する機能ブロック302、303を搭載し、入力端子307～313を入力バッファ部305内のインバータ322～328を介して各機能ブロックと接続し、また各機能ブロックを出力バッファ部306のインバータ331～336を介して出力端子316～321と接続し、さらに各機能ブロック間を機能ブロック間配線337～340で接続することにより半導体集積回路301を構成していた。同図において、304は分離信号発生回路であって、これは、テスト信号入力端子314、315からインバータ329、330を介して制御信号を受け取り機能ブロック分離信号341、342を発信して各機能ブロックを他の機能ブロックから分離させる機能を果す回路である。

この集積回路をLSIテスターによってテストする場合、製品に搭載されている各機能ブロック302、303をそれぞれ分離させ、予め機能ブ

ら前記バッファに電流を流すことにより生ずる電圧上昇または前記バッファからLSIテスターへ電流を流すことにより生ずる電圧降下をテストする。そして、電圧降下、電圧上昇が製品の保証している範囲内であれば良品、範囲外であれば不良品と判定する。

【発明が解決しようとする課題】

上述した従来の複数の機能ブロックを有する半導体集積回路においては、入、出力バッファの電気的特性である入力レベル電圧 V_{IH}/V_{IL} 、出力レベル電圧 V_{OH}/V_{OL} をテストする場合以下に示す欠点がある。

複数の機能ブロックを有する半導体集積回路の場合、一つの機能ブロックが全ての入力端子、出力端子と接続されていない場合がある。例えば第3図に示した入力端子307～309、出力端子316～318は機能ブロック302のみに接続され機能ブロック303には接続されていない。また入力端子311～313、出力端子319～321は機能ブロック303のみに接続され機能

ブロック毎に用意されているテストパターンを流用して各ブロックのチェックを行い、全ブロックの確認がなされた後に各ブロック間の接続をチェックする方法がとられている。

また、製品の入力バッファ、出力バッファあるいは入出力バッファ（以下、これら3種類のバッファを合せて入、出力バッファと略記する）の電気的特性つまり入力レベル電圧 V_{IH}/V_{IL} 、出力レベル電圧 V_{OH}/V_{OL} のテストは、前述した個別のテストパターンもしくは各機能ブロック間の接続をチェックするテストパターンを用いて実施している。すなわち、 V_{IH}/V_{IL} のテストでは、LSIテスターにより半導体集積回路301の入力端子307～313への製品の保証している入力レベル電圧を印加し、製品の動作がテストパターンと一致していれば良品、不一致であれば不良品と判定し、また、 V_{OH}/V_{OL} のテストでは、前述したテストパターンを走らせ、半導体集積回路301の出力バッファ331～336が“1”または“0”を出力するように設定し、LSIテスターか

ブロック302には接続されていない。機能ブロックの数が増えると一つの機能ブロックに対して接続されない端子が増加する傾向にある。そのため入、出力バッファを全てテストするためには個々の機能ブロックをテストするテストパターンを何本も使用しなければならず、テストが複雑になってしまいうといふ欠点があった。

さらに、 V_{OH}/V_{OL} をテストする場合は、まず各バッファの状態設定のために各端子毎にテストパターンをチェックし、各バッファが“1”を出力する状態、“0”を出力する状態を見つけなければならない。測定時には状態設定のためにテストパターンをあるパターンまで走らせ、必要な箇所で止め、製品のバッファの電圧上昇、電圧降下を測定する。そのためテスト回数が非常に多くなり、テストプログラムが長大かつ複雑になってしまいうといふ問題があった。

【課題を解決するための手段】

本発明の半導体集積回路は、特定の機能を有する機能ブロックを搭載したものであって、機能ブ

特開平4-74977 (3)

ロックと出力バッファとの間にこれらを回路的に遮断するための第1の回路開閉手段が設けられ、入力バッファと出力バッファとの間にこれらのバッファを接続するための、第1の回路開閉手段とは相補的な動作を行う第2の回路開閉手段が設けられたものである。

【実施例】

次に、本発明の実施例について、図面を参照して説明する。

第1図は、本発明の第1の実施例を示す回路図である。同図に示されるように、半導体集積回路101は機能ブロック102、103、テスト回路104、分離信号発生回路105、入力バッファ部106、出力バッファ部107により構成されており、各機能ブロック間は配線152～155によって接続されている。入力端子108～113より入力される各信号は、入力バッファ部106を介して機能ブロック102、103及びテスト回路104へ伝達される。機能ブロック102、103より出力される信号は、トランスファ

05へ入力され、分離信号発生回路からは分離信号156、157が出力される。分離信号156によって機能ブロック102が機能ブロック103より切り離され、予め機能ブロック102に対して用意されているテストパターンを使用してテストが出来る状態に設定される。同様に分離信号157によって機能ブロック103が機能ブロック102より切り離され、予め機能ブロック103に対して用意されているテストパターンを使用してテストが出来る状態に設定される。

次に、本実施例の動作について説明する。通常動作時は、テスト信号入力端子116を“0”にクランプしておくテスト信号として“0”を入力する。この時インバータ131はテスト信号を受けて“1”を出力し、インバータ132は“0”を、インバータ145は“1”を出力するため、トランスファゲート139～144はONし、テスト回路104内のクロックドインバータ133～138の出力はOFFされる。よって機能ブロック102、103の出力が出力端子117～1

ゲート139～144を介して出力バッファ部107へ伝達され、出力端子117～122から出力される。またクロックドインバータ133～138で構成されたテスト回路104の出力信号も出力バッファ部107へ伝達され、出力端子117～122から出力される。テスト信号入力端子116より入力されるテスト信号は、インバータ131を介してインバータ132へ入力され、インバータ132の出力はインバータ145に入力される。インバータ132の出力によってテスト回路104内のクロックドインバータ133～138のON/OFFが制御され、インバータ145の出力によってトランスファゲート139～144のON/OFFが制御される。つまり機能ブロック102、103の出力とテスト回路104の出力のどちらの出力を出力端子より出力するかの選択はテスト信号入力端子116より入力されるテスト信号により行われる。テスト信号入力端子114、115から入力されるテスト信号は入力バッファ部106を介して分離信号発生回路1

22へ出力され、テスト回路104の出力は出力端子からは出力されない。

入力バッファ部106、出力バッファ部107のテスト実行時には、テスト信号入力端子116よりテスト信号として“1”を入力する。この時インバータ131はテスト信号を受けて“0”を出力し、インバータ132は“1”、インバータ145は“0”を出力するため、トランスファゲート139～144はOFFし、テスト回路104内のクロックドインバータ133～138がONする。よって機能ブロック102、103の出力は出力バッファ部107へは伝達されず、入力端子108～113より入力された信号は入力バッファ部106、テスト回路104内のクロックドインバータ133～138を介して出力バッファ部107へ伝達されて出力端子117～122へ出力される。したがって、入力端子と出力端子は入力バッファ部106内のインバータ一段、テスト回路104内のクロックドインバータ一段と出力バッファ部107内のインバータ一段の合計

特開平4-74977 (4)

3段のインバータで接続されたことになる。

このようにテスト信号入力端子116にテスト信号“1”を入力することによりテスト状態に設定し、LSIテスターより入力端子108～113へ、製品の保証している“1”または“0”的入力レベル電圧を印加してテストを行う。この時のテストパターンを第2図に示す。このようなテストパターンにより入力端子108～113の入力レベルを一度にテストすることができる。また、このテストパターンを使用すれば、1パターン目で全ての出力端子が“1”に設定され、2パターン目で全ての出力端子が“0”に設定される。そのため、第2図に示すテストパターンを1パターンまで走らせてから止めて半導体集積回路101の出力バッファからLSIテスターへ電流を引くことにより出力端子117～122のV_{dd}を、2パターンまで走らせてから止めてLSIテスターから前記出力バッファへ電流を流し込むことによって出力端子117～122のV_{dd}を簡単にテストできる。このような非常に短い簡単なテストパ

ターンで、しかも簡単に入、出力バッファの入、出力レベルをテストすることが可能となる。

第3図は、本発明の第2の実施例を示す回路図である。同図に示されるように、半導体集積回路201は機能ブロック202、203、テスト回路204、分離信号発生回路205、入出力バッファ部206、出力バッファ部207より構成されており、各機能ブロック間は配線273～276によって接続されている。入力端子208～210、入出力端子211～213より入力される各信号は入出力バッファ部260の入力バッファ（インバータ222～227）を介して機能ブロック202、203およびテスト回路204へ伝達される。機能ブロック202、203より出力される信号はトランസファゲート252～258を介して出力バッファ部207および入出力バッファ部の出力バッファ（インバータ269～272、クロックドインバータ228～230）へ伝達され、各出力バッファの出力は出力端子218～221、入出力端子211～213から出力さ

れる。また、NANDゲート237～243、クロックドインバータ244～250で構成されたテスト回路204の出力信号も出力バッファ部207、入出力バッファ部206へ伝達され、出力端子218～221、入出力端子211～213から出力される。テスト回路204におけるNANDゲート237～243はいずれも2入力NANDゲートであって、各インバータからの出力線との交点における黒丸が当該インバータの出力がそのNANDゲートに入力されていることを示している。テスト信号入力端子214より入力されるテスト信号は、インバータ231、235を介してインバータ259へ入力され、インバータ259の出力がインバータ251に入力される。インバータ251の出力によってテスト回路204内のクロックドインバータ244～250のON/OFFが制御され、インバータ259の出力によってトランസファゲート252～258のON/OFFが制御される。つまり機能ブロック202、203の出力とテスト回路204の出力の比

ちらの出力を出力端子、入出力端子より出力するかの選択はテスト信号入力端子214より入力されるテスト信号により行われる。

テスト信号入力端子215より入力されるテスト信号は、インバータ232に入力され、インバータ232の出力はインバータ236に入力される。機能ブロック203より出力される入出力切り換え信号279～281は、インバータ235の出力信号を一方の入力とするNORゲート260～262へ入力される。NORゲート260～262の出力信号はインバータ236の出力信号を一方の入力とするNORゲート263～265へ入力される。NORゲート263～265の出力信号（入出力切り換え信号282a～284a）はインバータ266～268を介してクロックドインバータ228～230のON/OFFを制御し、入出力端子211～213の入力と出力の状態を切り換える。

テスト信号入力端子216、217から入力されるテスト信号は、入出力バッファ部206内の

特開平4-74977 (5)

インバータ233、234を介して分離信号発生回路205へ入力され、該回路からは分離信号277、278が出力される。分離信号277によって機能ブロック202が機能ブロック203より切り離され、予め機能ブロック202に対して用意されているテストパターンを使用してテストが出来る状態に設定される。同様に分離信号278によって機能ブロック203が機能ブロック202より切り離され、予め機能ブロック203に対して用意されているテストパターンを使用してテストが出来る状態に設定される。

次に、本実施例の動作について説明する。通常動作時は、テスト信号入力端子214、215を“0”にクランプしておくテスト信号として“0”を入力する。この時インバータ231、232はテスト信号を受けて“1”を出力し、その出力を受けてインバータ235、236は“0”を出力する。インバータ235の出力が“0”であることよりインバータ259は“1”を出力するためトランジスタゲート252～258はONし、

出力し、インバータ235は“1”を出力する。またインバータ235の出力を受けてインバータ259は“0”を、インバータ259の出力を受けたインバータ251は“1”を出力するためトランジスタゲート252～258はOFFし、テスト回路204内のクロックドインバータ244～250がONする。よって、機能ブロック202、203の出力は出力バッファ部207、出入力バッファ部206へは伝達されず、入力端子208～210、入出力端子211～213より入力された信号は入出力バッファ部206、テスト回路204を介して出力バッファ部207、出入力バッファ部206へ伝達されて出力端子218～221、入出力端子211～213へ出力される。その結果、入力端子と出力端子は、入出力バッファ部206内のインバータ一段、テスト回路204内のNANDゲート一段、クロックドインバータ一段、出力バッファ部207内のインバータもしくは入出力バッファ部206内のクロックドインバータ一段の合計4段の論理回路で接続さ

インバータ251が“0”を出力するためテスト回路204内のクロックドインバータ244～250の出力はOFFされる。よって、機能ブロック202、203の出力が出力端子218～221、入出力端子211～213へ出力され、テスト回路204の出力は出力端子218～221、入出力端子211～213へは出力されない。またインバータ235、236の出力が“0”であることよりNORゲート260～262の出力はNORゲート263～265の出力によって決定される。NORゲート260～262の出力信号によって決定される。よって入出力端子211～213の入力と出力の切り換えは入出力切り換え信号279～281によって制御され、テスト信号からは影響を受けない。

入出力バッファ部206、出力バッファ部207のテスト実行時は、テスト信号入力端子214よりテスト信号として“1”を入力する。この時インバータ231はテスト信号を受けて“0”を

れたことになる。

テスト信号入力端子214に“1”が入力されるとNORゲート260～262の出力は“0”となる。このとき、テスト信号入力端子215へ“0”を入力すると入出力切り換え信号282a～284aが“1”となって、クロックドインバータ228～230はOFFし、また、テスト信号入力端子215へ“1”を入力すると、入出力切り換え信号282a～284aが“0”となって、クロックドインバータ228～230はONする。すなわち、テスト時において、入出力端子211～213の端子状態は、テスト信号入力端子215への信号により決定される。

このようにテスト入力端子214にテスト入力信号“1”を、またテスト入力端子215に“0”または“1”を入力することにより、テスト状態に設定し、LSIテストより入力端子208～213へ、製品の保証している“1”または“0”的入力レベル電圧を印加してテストを行う。このときのテストパターンを第4図に示す。この

テストパターンにより入力端子 208～210、入出力端子 211～213 の入力レベルを一度でテストすることがきる。またこのテストパターンを使用すれば 9 パターン目で全ての出力端子が “0” に設定され、16 パターン目で全ての出力端子が “1” に設定される。そのため、第 4 図に示すテストパターンを 9 パターン目まで走らせてから止めて、LSI テスターから半導体集積回路 201 の出力バッファへ電流を流し込むことにより出力端子 218～221、入出力端子 211～213 の V_{OL} を、16 パターンまで走らせてから止めて、前記出力バッファから LSI テスターへ電流を引き込むことによって出力端子 218～221、入出力端子 211～213 の V_{OL} を簡単にテストすることができる。本実施例によれば、このような非常に短い簡単なテストパターンで、しかも簡単に入、出力バッファの入、出力レベルをテストすることが可能となる。

第 5 図は、本発明の第 3 の実施例を示す回路図である。同図において、第 3 図の実施例と共通す

る部分には同一の参照番号が付されているので重複する説明は省略する。本実施例の第 3 図の実施例と相違する点は、テスト回路 204a において NAND ゲート 237～243 が除去され代りにトランジスタゲート 285～290、インバータ 291～297 が用いられている点である。第 5 図において、配線は省略されているが、トランジスタゲート 285～287 は、それぞれ入出力切り換え信号 282～284 によって制御され、トランジスタゲート 288～290 は、それぞれ入出力切り換え信号 282a～284a によって制御されている。従って、入出力端子 211～213 が入力端子として用いられているときには、トランジスタゲート 285～287 が OFF、トランジスタゲート 288～290 が ON となり、入出力端子 211～213 が出力端子として用いられるときにはトランジスタゲート 285～287 が ON、トランジスタゲート 288～290 が OFF となる。本実施例に対するテストパターン例を第 6 図に示す。

【発明の効果】

以上説明したように、本発明は、半導体集積回路内に入力端子と出力端子を簡単な論理回路で接続させるテスト回路を持たせたことにより、LSI テスターによって入、出力バッファの電気的特性である入力レベル電圧 V_{IH}/V_{IL} 、出力レベル電圧 V_{OH}/V_{OL} をテストする時に、従来のように全ての入出力バッファの特性をテストするために何本ものテストパターンを流す必要がなくなり、また V_{OH}/V_{OL} のテスト時に何回もテストパターンを止めてその都度出力レベルを測定する必要もなくなった。したがって、本発明により、テスト方法が簡単になりテスト回数が減り、テスト時間が短縮されるため、製品製造上極めて大きな効果が得られる。

さらに、本発明では、非常に簡単なテストパターンを使用するだけで入、出力レベルがテストできるために、従来のようにテストパターンに問題があって、入、出力レベルの測定が出来なかったり、不安定であったりした時に要していたテス

パターンの解析の時間も必要ななくなり、効率的なテストが出来るようになる。

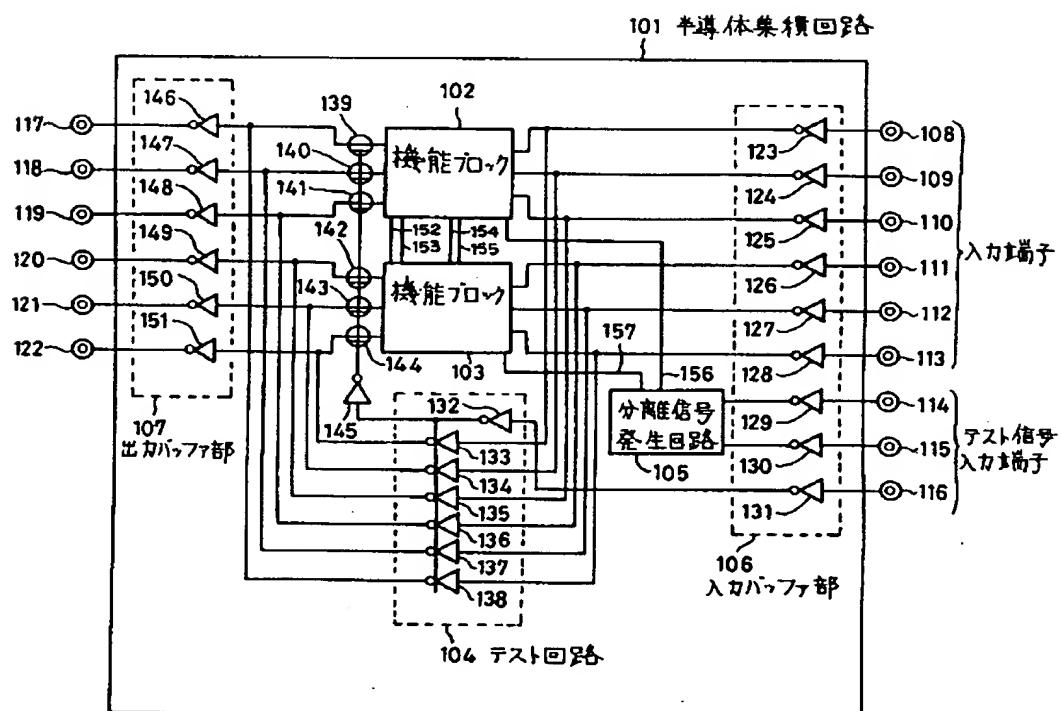
4. 図面の簡単な説明

第 1 図、第 3 図、第 5 図は、それぞれ、本発明の実施例を示す回路図、第 2 図、第 4 図、第 6 図は、それぞれ、第 1 図、第 3 図、第 5 図の実施例に対して使用されるテストパターンを示す図、第 7 図は、従来例の回路図である。

101、201、301…半導体集積回路、
102、103、202、203、302、303…機能ブロック、
104、204、204a…テスト回路、
105、205、304…分離信号発生回路、
106、305…入力バッファ部、
206…入出力バッファ部、
107、207、306…出力バッファ部、
108～113、208～210、307～313…入力端子、
114～116、214～217、314、315…テスト信号入力端子、
117～122、218～221、316～322…

1 …出力端子、 211～213…入出力端子、
123～132、145～151、222～22
7、231～236、251、259、266～
272、291～297、322～336…イン
バータ、 133～138、228～230、
244～250…クロックドインバータ、 1
39～144、252～258、285～290
…トランスファゲート、 237～243…N
ANDゲート、 260～265…NORゲー
ト、 152～155、273～276、33
7～340…機能ブロック周配線、 156、
157、277、278、341、342…機能
ブロック分離信号、 279～284、282
a～284a…入出力切り換え信号。

代理人弁理士尾身祐助



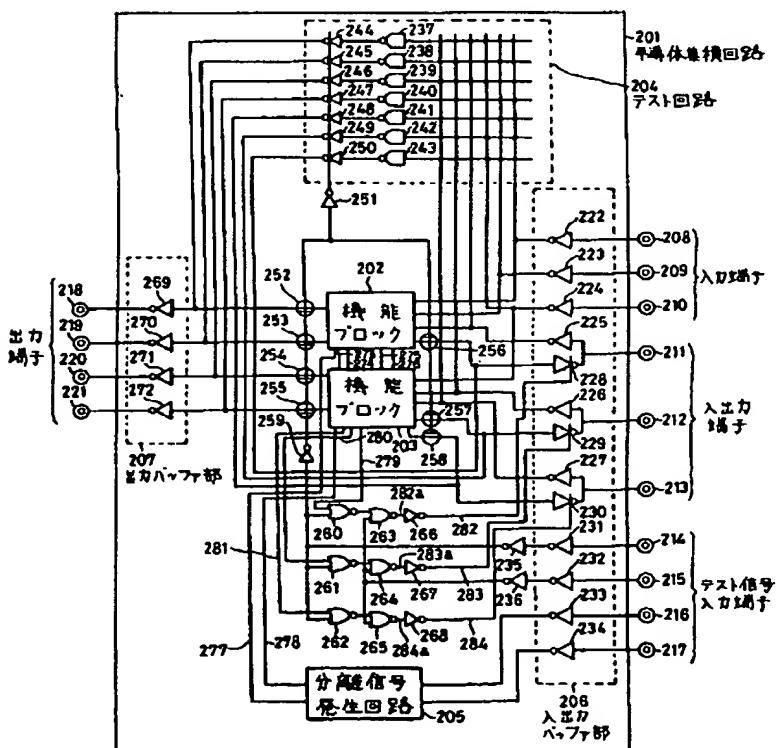
第 1 図

パターン 番号	テスト信号 入力端子	入力端子						出力端子						
		116	108	109	110	111	112	113	117	118	119	120	121	122
1	1	1	0	0	0	0	0	0	1	1	1	1	1	1
2	1	1	1	1	1	1	1	1	0	0	0	0	0	0

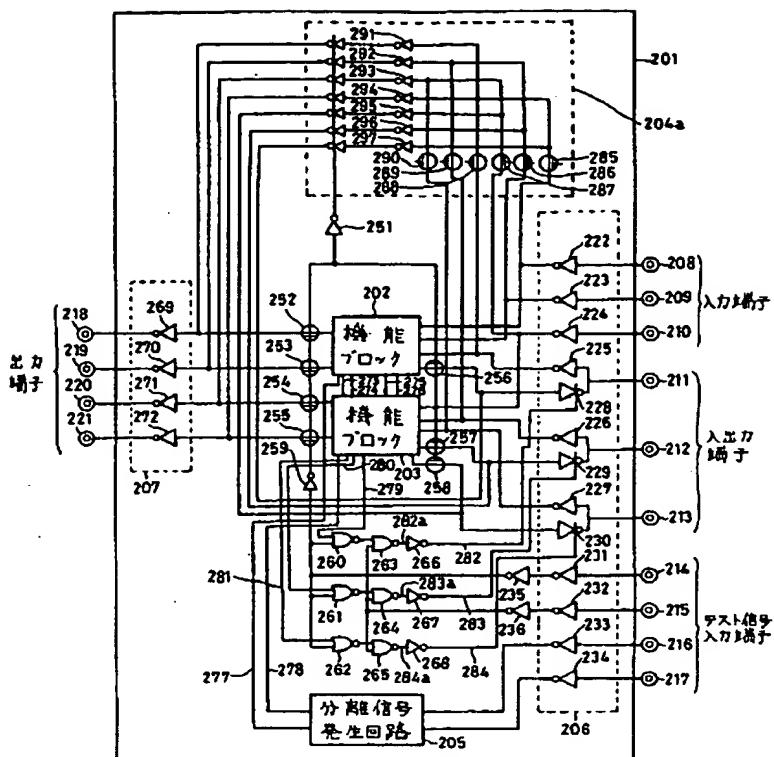
第 2 図

パターン 番号	テスト信号 入力端子	入力端子						出力端子								
		214	215	208	209	210	211	212	213	211	212	213	218	219	220	221
1	1	0	0	0	0	0	0	0	*	*	*	0	0	0	0	0
2	1	0	0	0	1	0	0	0	1	*	*	0	0	1	0	0
3	1	0	0	1	0	0	1	0	*	*	*	0	1	0	0	0
4	1	0	0	1	1	0	1	1	*	*	*	0	1	1	0	0
5	1	0	1	0	0	1	0	0	*	*	*	1	0	0	0	0
6	1	0	1	0	1	1	0	1	*	*	*	1	0	1	0	0
7	1	0	1	1	0	1	1	0	*	*	*	1	1	0	1	1
8	1	0	1	1	1	1	1	1	*	*	*	1	1	1	1	1
9	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
10	1	1	0	0	1	0	0	1	0	0	0	0	0	0	0	0
11	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0
12	1	1	0	1	1	1	0	0	0	1	0	0	0	0	0	0
13	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
14	1	1	1	0	1	0	1	0	0	0	1	0	0	0	0	1
15	1	1	1	1	0	0	0	1	0	0	0	1	0	0	0	0
16	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

第 4 図 * 入出力端子が入力状態であることを示す



第 3 図

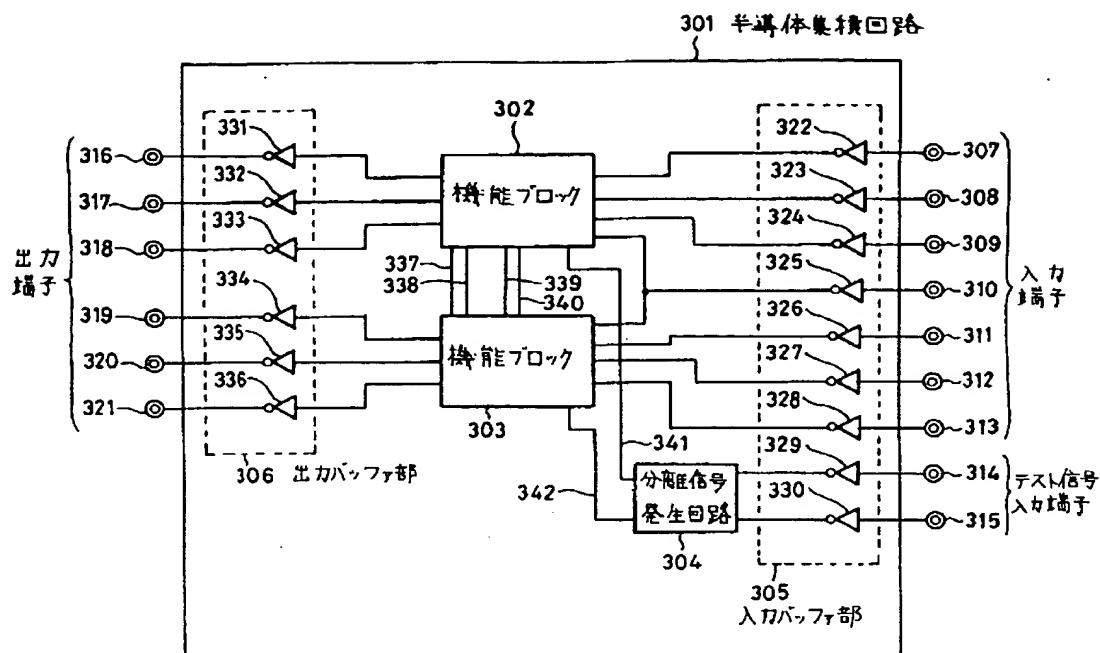


第 5 図

** 入力信号が任意であることを示す

* 入出力端子が入力状態であることを示す

第 6 図



第 7 図